

10月31日(金) 15:15-17:30

セッションチェアマン： 山本 浩之(マイクロンメモリジャパン(株))・三富士 道彦(ローム(株))

◆ AI 時代における半導体設計革新とデジタルツインの可能性



シーメンス EDA ジャパン株式会社
技術本部
本部長
丁子 和之

[講演要旨]

AI の進化はソフトウェアと半導体の関係を再定義し、膨大な計算資源と高度な設計手法を要求しています。複雑化・高度化する半導体設計に対し、AI 活用やデジタルツイン、3D IC などの先進技術が鍵となります。本

[講演者プロフィール]

1999 年にシーメンス EDA ジャパン（旧メンター・グラフィックス・ジャパン株式会社）に入社し、Calibre Design/OPC 製品全般のフィールド・アプリケーション・エンジニアを務め、長年に渡り日本の Calibre ビジネスをエンジニア／技術マネージャーの立場から関わってきました。

メンター入社以前は、半導体設計におけるレイアウト設計（カスタム・P&R）に従事してきました。2020 年から、シーメンス EDA ジャパンにおいて製品ポートフォリオ全体を統括するテクニカル・ディレクターを務めています。

◆ LPDRAM Evolution : LP6 and beyond



マイクロンメモリジャパン株式会社
DRAM Engineering Group
LPDDR Design Engineering SR Director
石川 透

[講演要旨]

現在、主流となっているモバイル向け DRAM は LPDDR5(LP5)ですが、2～3 年後には次世代アーキテクチャである LPDDR6(LP6)の市場投入が予定されています。本講演では、まずこの LP6 について、従来の LPDDR4(LP4)および LP5 と比較しながら、その特徴や進化のポイントを解説します。続いて、講演タイ

トルにある「beyond」の部分、つまり、LP6 のその先にある技術的展望についてお話します。AI の普及に伴い、メモリに対する高速化の要求はこれまでになく高まっており、LP6 によって一定の高速化は実現されるものの、すでにその次のステップに向けた議論も始まっています。現在、次世代 DRAM アーキテクチャとして 2 つの方向性で議論されています。1 つが PM (Processor In Memory)、もう 1 つが LPW (Lower power wide-IO) です。この 2 つの DRAM アーキテクチャについて、コンセプトを説明する予定です。

[講演者プロフィール]

1986 年 3 月慶応義塾大学修士課程を卒業後、NEC 株式会社に入社。DRAM 開発 Gr に所属し、Rambus、DDR2 など高速 DRAM の開発に従事。エルピーダメモリ株式会社では Rambus、DDR1/2/3、Lp1/2、Wide-IO DRAM の開発に従事。マイクロメモリジャパン株式会社では LPDRAM の設計を担当し、LP4/5/6 の設計 Gr をリード。2021 年より LPDDR 設計 Gr を統括するシニアダイレクターとなり、現在に至る。

◆ CBA (CMOS Directly Bonded to Array) 技術による 3 次元フラッシュメモリの高性能化



キオクシア株式会社
メモリ開発戦略部
メモリ開発戦略第二担当 参事
小林 茂樹

[講演要旨]

3 次元フラッシュメモリにおいて、CMOS 回路とメモリアレイを別々の Si ウェハに形成した後、ウェハ貼合により両者を接続してメモリ素子を形成する技術、CBA (CMOS Directly Bonded to Array) が注目を集めている。CBA では、CMOS 回路とメモリアレイの製造プロセスをそれぞれに最適化できる利点がある。講演では、CBA の利点について、メモリ動作高速化、チップサイズ縮小の観点から説明する。

[講演者プロフィール]

東京大学大学院工学系研究科電子工学専攻修士卒。2006 年、株式会社東芝に入社。

2017 年 4 月より、キオクシア株式会社にてメモリ開発に従事。

※本講演に興味を持たれた方は、こちらの講演もご覧になっています。

【C-1】 EUV、つ・い・に・日本上陸、今その技術の全貌が・・・

【C-2】 進化し続けるデバイス構造・プロセス技術・装置技術